

芯片粘接空洞对功率器件散热特性的影响

陈颖¹, 孙博¹, 谢劲松¹, 李健²

(1. 北京航空航天大学 可靠性工程研究所, 北京 100083;

2. 中国电子科技集团公司 第38研究所, 合肥 230031)

摘要: 芯片粘接层的空洞是造成功率半导体芯片由于散热不良而失效的主要原因。运用有限元法对芯片封装结构进行了热学模拟分析, 研究了粘接层材料、粘接层厚度、粘接层空洞的面积、空洞的位置对芯片温度分布以及芯片最高温度造成的影响。对标准中规定应避免出现的粘接状况进行了分析, 研究表明空洞的面积越大, 芯片的温度越高。空洞位于拐角, 即粘接区域四角的位置时, 芯片散热情况最差。而在标准中给出的, 芯片空洞面积达50%, 且位于拐角时, 芯片的温度最高。

关键词: 功率芯片; 散热; 失效; 粘接空洞; 拐角空洞

中图分类号: TN305.94 文献标识码: A 文章编号: 1003-353X (2007) 10-0000-04

Effect of Adhesive Void on Heat Diffusion Performance of Power Chip

CHEN Ying¹, SUN Bo¹, XIE Jing-song¹, LI Jian²

(1. Institute of Reliability Engineering, Beijing Univ. of Aeronautics and Astronautics, Beijing 100083, China;

2. The 38th Research Institute, CETC, Hefei 230031, China)

Abstract: Adhesive void is the main reason for the heat diffusion failure of power semiconductor chip. Thermal analysis on chip packaging structure was carried out based on FEM (finite element method). Effect of adhesive layer material, layer thickness, adhesive void area and void position on temperature distribution and the maximum temperature were studied. Adhesive conditions that should be avoided were analyzed. Results show that the temperature of the chip will increase with the void area increasing. The worst heat diffusion condition is that the voids distribute at the four corners of adhesive zone. In the standard, the highest chip temperature appears when total void area reaches 50%, and all at the corners of the adhesive zone.

Key words: power chip; heat diffusion; failure; adhesive void; corner void

1 引言

电子封装技术当前正朝着小型化、高密度、高速度、高可靠性等方向发展, 且信号速度不断增加, 电子器件的功率也在日益增加。芯片散热问题成为阻碍芯片微小化的瓶颈, 给芯片可靠性带来很大的问题。特别是对于大功率微波器件, 如果由于散热性能差, 使芯片产生局部高温, 不但会影响芯片性能, 甚至可能导致芯片烧毁^[1]。芯片散热不仅与设计、布局有关, 还与芯片的封装与各层之间的粘接质量相关。芯片粘接层的空洞是造成功率半导体芯片由于散热不良而失效的主要原因。本文对此

进行了模拟分析和研究。

2 芯片粘接工艺

为满足高可靠和恶劣环境的要求, 微波功率器件常采用气密封装。气密封装结构中两个粘结界面的: 一是芯片与陶瓷基板之间的粘接层; 二是陶瓷基板与热沉之间的粘接层。陶瓷基板材料有 Al₂O₃, BeO 等。BeO 导热性好 (热导率是 Al₂O₃ 基板的十几倍)、热稳定性高、抗热冲击性较高、介电常数低, 因此广泛应用于高频、大功率电路。为了增强散热性能, 在基板下安放热沉 (Cu)。如果芯片需要电绝缘, 则要将热沉钎焊到陶瓷基板上。对于需

要将芯片与封装基板电连接时, 可将芯片直接粘接在热沉上, 如图 1 所示, 这种形式具有更好的导热性能^[3]。

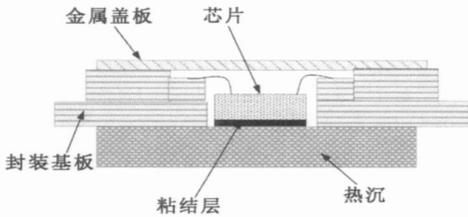


图 1 芯片直接粘接到热沉的气密封装示意图

芯片粘接材料可以从可制造性和热性能角度选择^[2]。常用的有机材料如环氧树脂胶, 其优点是粘接性能好, 强度较高, 易于使用。但其导热率很低, 通常只有 $1 \sim 2 \text{ W}/(\text{m} \cdot \text{K})$, Au-Si 导热率较高, 可达到 $27 \text{ W}/(\text{m} \cdot \text{K})$ ^[2], 且机械强度高、热阻小、稳定性好, 但是加工费用较高。为了提供具有低热阻的材料, 人们开发出了掺 Ag 玻璃材料, 其导热率在 $60 \sim 80 \text{ W}/(\text{m} \cdot \text{K})$ 。

如果粘接工艺存在缺陷, 将引起散热不良, 最终导致器件的热烧毁。文献[3]中指出粘接工艺缺陷是功率晶体管失效的主要原因之一。为控制粘接质量, MIL-STD-883E, GJB548A-96 中对粘接空洞有明确的规定: (1) 接触区多个空洞总和不能超过应该具有的总接触区的 50%; (2) 不能有超过预计接触区 15% 的单个空洞, 或超过总预计接触区 10% 的单个拐角空洞; (3) 当用平分两对边方法把图像分为四个面积相等的象限时, 某一接触区中的空洞不能超过该象限预计的接触面积的 70%^[4-5]。

但是对于一定的芯片粘接材料, 很难得到粘接良好和不好两种情况之间的明显差别。通过超声检测的方法检验芯片的粘接空洞, 需要专用仪器, 且不能评估空洞分布对散热的影响。另外一种方法是通过数值计算, 如有限元方法^[1, 6-7]。文献[8]是利用了测量与有限元的方法研究了陶瓷封装间的外壳热阻, 并讨论了热阻随芯片的厚度、面积、芯片粘接层导热率等参数的变化规律。文献[9]研究表明, 芯片粘接层对其热阻影响很大, 需要严格控制工艺质量。以上文献并未给出粘接的空洞对芯片温度的影响。本文通过一个具体的案例研究粘接层材料、粘接层厚度、粘接层空洞的面积、空洞位置对芯片温度分布以及芯片最高温度造成的影响。

3 有限元热分析模型

为了简化问题, 本文忽略图 1 中封装基板、金属盖板之间的影响, 将芯片通过粘结层与热沉连接在一起, 研究粘结层中的空洞对芯片温度分布的影响, 如图 2 所示。为利用 ANSYS 分析时的网格模型, 主要包括芯片、粘结层和热沉三部分组成, 其中粘结层使用环氧树脂胶、Au-Si 焊接材料。分析中用到的材料参数如表 1 所示^[6-9]。分析中芯片、粘结层为绝热条件, 热只能以传导形式传播。热沉四周和底部采用风冷冷却, 将生成的热量带走, 因此这些部位与外界为对流换热条件, 对流换热系数取 $1500 \text{ W}/(\text{m}^2 \cdot \text{K})$ 。芯片为热源, 加载方式为在芯片上加载生热率载荷, 生热率定义为单位体积的热流率。设芯片的耗散功率为 400 W , 连续工作, 其体积为 6.4 cm^3 , 因此生热率为 $6.25 \times 10^7 \text{ W}/\text{m}^3$ 。

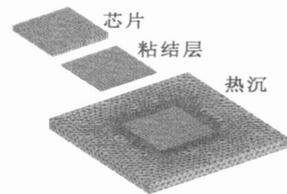


图 2 有限元热分析中使用的模型

表 1 材料属性

材料	芯片 (Si)	环氧树 脂胶	Au-Si 合金	含 Ag 玻璃	热沉 (Cu)
导热率/ $(\text{W} \cdot \text{m}^{-1} \cdot \text{K}^{-1})$	118	2	27	70	395

4 有限元计算结果与分析

对于热传导问题, 根据傅里叶定律可得

$$Q = KA \frac{\Delta T}{\delta} = \frac{\Delta T}{R} \quad (1)$$

式中: Q 为热流量; K 为导热系数; A 为垂直热流方向的截面面积; δ 为某层的厚度; ΔT 为两层之间的温度差; R 为热阻。由式 (1) 可得

$$R = \frac{\delta}{KA} \quad (2)$$

可见, 决定热阻的三个因素为导热系数、粘接层厚度与粘接面积。如果粘接材料选定, 芯片粘接层的热阻与厚度 δ 成正比, 因此要减小芯片粘接层厚度并维持足够的强度, 使芯片不会在使用过程中脱落。粘接材料的均匀性也是重要因素, 如果粘接

层内部厚度不均, 可用平均厚度来计算热阻。极厚的芯片粘结层会导致芯片上产生热斑, 粘结层的空洞降低了有效截面面积, 会造成热阻增大。

4.1 粘结层厚度、粘结材料对温度的影响

图3为粘结层无空洞时, 不同粘结材料(环氧树脂胶、银浆)、不同粘结层厚度时芯片的最高温度。

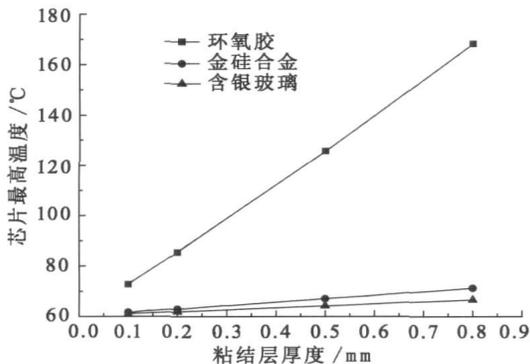


图3 粘结层厚度对芯片最高温度的影响

由图3的结果验证了粘结层厚度越大, 芯片温度越高, 散热效果越差的结论, 且对于热传导能力差的环氧树脂胶, 芯片最高温度随粘结层厚度的增加要远远高于热传导能力较好的 Au-Si 焊接材料和含银玻璃材料。因此要尽量选用热传导能力好的材料, 在保证粘结质量的情况下, 尽量减小粘结层的厚度, 尤其对于热传导能力相对较差的材料。

4.2 空洞面积对芯片最高温度的影响。

粘结空洞的形状是非常不规则的, 由文献[3]可见, 多数的空洞趋向于圆形或椭圆形, 但也有非常不规则的形状。为了便于定量地描述和比较, 以下的计算假设粘结层空洞为圆形, 芯片粘结层厚度为0.2 mm。图4为空洞位于接触区中心和拐角时, 面积不断增大的单个空洞对芯片最高温度的影响。拐角是粘结接触区域四个边角位置, 空洞的形状是以粘结区域某一角为圆心的四分之一圆。

对比图3和图4可见, 5%面积的单个中心粘结空洞存在时, 芯片温度比无粘结空洞时要高将近20°C。由图4可见, 空洞面积相同时, 位于拐角处对散热不利, 芯片最高温度要明显高于中心的空洞。随着空洞面积的增加, 芯片最高温度直线升高, 且位于拐角的升高速度大于中心空洞。椭圆、方形和不规则形状的空洞对芯片散热的影响也有类似的规律。

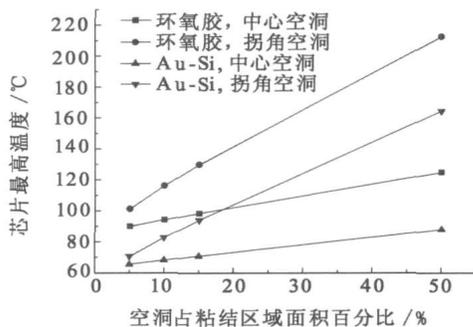


图4 粘结层空洞面积对芯片最高温度的影响

4.3 空洞位置对芯片温度的影响

计算中仍然假设空洞为圆形, 以圆心的坐标代表空洞的位置, 计算空洞位置对芯片的最高温度的影响。结算结果如图5, 6所示。

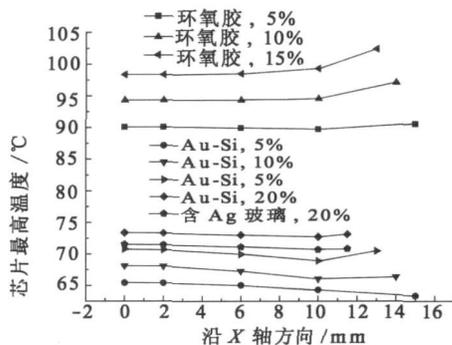


图5 粘结层空洞中心沿 X 轴变化时芯片最高温度

由于模型以粘结区域中心为对称中心, 在研究位置对芯片温度的影响是取 X 轴以及对角线方向为位置变化的方向。图5为沿 X 轴方向、单个不同面积的空洞时, 芯片的最高温度。由图5可见, 对于环氧树脂胶, 单个空洞在中心时, 芯片最高温度较低, 接近粘结区边缘, 芯片最高温度有比较明显的上升。对于金硅合金材料, 空洞位置沿着 X 轴方向变化且空洞面积较大 (10%, 15%)

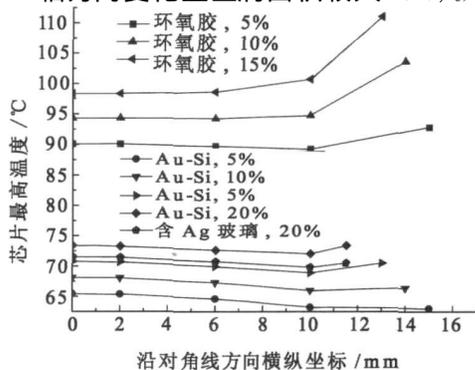


图6 粘结层空洞中心沿粘结区对角线变化时芯片最高温度

时, 芯片温度先稍有下降, 而后到 X 轴边缘位置又有所上升。含银玻璃与金硅合金的规律类似。

图 6 为沿对角线方向, 单个不同面积的粘结空洞时, 芯片的最高温度。芯片最高温度的变化规律与沿着 X 轴方向类似。

综合图 4~6 可见, 粘结区拐角处或者边缘处的空洞造成芯片温度升高较中心区域更为明显。此规律对于导热系数低的环氧胶最为明显。

4.4 分布对芯片温度的影响

当空洞的总面积一定时, 空洞可以各种组合面积与位置的组合方式出现。每个空洞的位置会对应芯片上的局部高温点, 即通常所说的热斑。图 7 所示为空洞分布及对应的芯片温度分布云图。

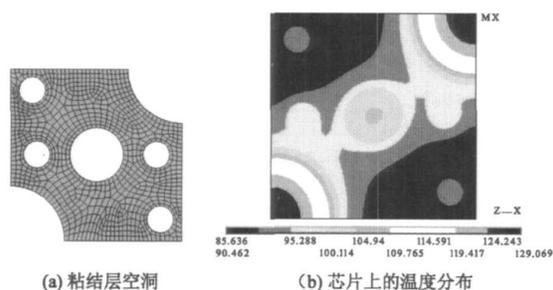


图 7 粘结层空洞分布与在芯片上形成的热斑

由图 7 (b) 可见, 拐角处空洞对应的芯片同一位置温度最高, 其次是中心较大面积的空洞。

5 标准中对空洞要求的定量解释

MIL-STD-883E, GJB548A-96 对粘结空洞规定:

(1) 空洞总面积占总接触区的 50% 时, 散热最差的情况为单个 50% 面积的空洞位于拐角的情况, 如图 4 所示。此时芯片最高温度达 212.6 °C。

(2) 总面积 15% 的单个空洞, 位于拐角时, 芯片散热状况最差, 如图 4 所示。此时芯片最高温度为 129.9 °C。因此标准对单个拐角粘结空洞规定不能超过总面积的 10%。

(3) 四个象限某一接触区中的空洞占该象限预计的接触面积的 70% 时, 如果空洞为单个, 且位于该象限的中心, 其他条件同 3.3, 芯片最高温度为 104.2 °C, 而如果单个空洞位于该象限拐角, 芯片最高温度达 136.7 °C。因此最差的状态仍然是单个拐角空洞。如果空洞为多个, 分布在一个象限内各处, 则在靠近拐角处的面积越大, 散热效果越差。例如两个空洞总面积为某一象限的 70%, 其中 3/4 的空洞位于象限中心, 而 1/4 位于该象限拐

角, 则芯片最高温度经有限元计算为 108.7 °C。

综上所述, 标准中规定的最差散热状态为接触区 50% 的空洞的状况。而此时, 单个 50% 面积的空洞位于拐角的情况散热情况最差。

6 结论

本文运用有限元法对芯片封装结构进行了热分析, 研究了粘结材料, 粘结层厚度、粘结层单个空洞的面积、空洞的分布形式、芯片某一象限空洞面积对芯片最高温度造成的影响, 结论如下。

(1) 对散热最为不利的空洞位置为接触区域的拐角, 且随着空洞面积的增加, 芯片最高温度快速上升。此规律对于导热系数低的环氧胶最为明显。

(2) 标准中规定的最差散热状态为接触区 50% 的空洞的状况, 且空洞位于拐角的情况散热情况最差。

参考文献:

- [1] TECK J G, SEETHARAMU K N, QUADIR G A. Thermal methodology for evaluating the performance of microelectronic devices with non-uniform power dissipation [C] // Electronics Packaging Technology Conf. Singapore, 2002: 312-317.
- [2] 查尔斯 A. 电子封装材料与工艺[M]. 北京: 化学工业出版社, 2006: 237-239.
- [3] 李萍, 来萍, 郑廷圭. 双极型微波功率晶体管热失效原因分析[J]. 电子产品可靠性与环境试验, 2006, 24(4): 16-18.
- [4] MIL-STD-883E. 微电子试验方法和程序[S]. 1996.
- [5] GJB548A-96. 微电子器件试验方法和程序[S]. 1996.
- [6] PANG H L J, TOH K C, TAN T L. Thermal characterization and heat transfer analysis of a wire bond chip-on-board package [C] // IEEE/CPMT Electronic Packaging Technology Conf. Singapore, 1997: 75-81.
- [7] YASIR A Q, PEREIRA D M, HASSAN A Y. Thermal performance of flip chip using Finite Element Method [C] // IEEE Intersociety Conference on Thermal Phenomena. Seattle, WA, USA, 1998: 22-26.
- [8] 贾松良, 朱浩颖. 集成电路陶瓷封装热阻 R_{thjc} 的有限元分析[J]. 半导体技术, 1997, 22(6): 6-11.
- [9] 莫郁薇, 彭成信. 利用“热”标准芯片评价集成电路的热性能[J]. 电子产品可靠性与环境试验, 1996(6): 62-67.

(收稿日期: 2007-04-04)

作者简介:

陈颖(1977-), 女, 河北丰润人, 北京航空航天大学工程系统工程系博士后, 主要从事电子元器件失效物理、电子产品失效分析技术研究; 孙博(1979-), 男, 满族, 辽宁鞍山人, 博士生, 主要从事电子产品可靠性、健康状态监测和故障预测等方面研究;

谢劲松(1966-), 男, 副教授, 硕士生导师, 2000 年获美国马里兰大学博士学位, 研究方向为可靠性物理, 电子产品失效分析。